รหัสนักศึกษา _____ ชื่อ-นามสกุล _____

บทการทดลองที่ 8 การทดลองวงจรฟลิป-ฟลอป (Flip-Flop) ตอนที่ 2

<u>อุปกรณ์ที่ใช้ในการทดลอง</u>

-	IC 7404	1	ตัว	IC 7474	1	ตัว	IC 74373	1	ตัว
-	IC 7410	1	ตัว	IC 7400	1	ตัว	IC 7476	2	ตัว

8.1 การดัดแปลง D Flip-Flop ให้เป็น T Flip-Flop

- ให้นักศึกษาใช้ IC 7474 (Dual D-Flip Flops) มาทำการออกแบบวงจรเพื่อสร้างเป็น T Flip-Flops
- จากนั้นนำวงจรที่ออกแบบได้มาเขียนลงในรูปที่ 8.1

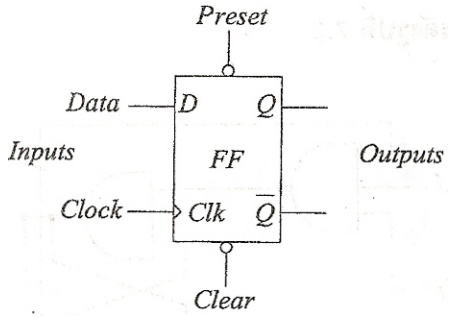

Figure 8.1 T Flip-Flop from D Flip-Flop

- ทำการป้อนสัญญาณนาฬิกา เข้าที่ขา CLK ของ IC 7474 ทีละ 1 Pulse
- ตรวจสอบค่าของ Q และ $\overline{Q}$ ที่เป็น Output แล้วนำค่าที่ได้บันทึกลงในตารางที่ 8.1

ลำดับ	Output	
	Q	$\overline{Q}$
ก่อนมีสัญญาณ Clock		
หลังสัญญาณ Clock ลูกที่ 1		
หลังสัญญาณ Clock ลูกที่ 2		
หลังสัญญาณ Clock ลูกที่ 3		
หลังสัญญาณ Clock ลูกที่ 4		
หลังสัญญาณ Clock ลูกที่ 5		
หลังสัญญาณ Clock ลูกที่ 6		
หลังสัญญาณ Clock ลูกที่ 7		
หลังสัญญาณ Clock ลูกที่ 8		

Table 8.1

8.2 ทดสอบคุณลักษณะของ JK Flip-Flop

JK Flip-Flop เป็น FFs ที่ค่อนข้างเป็นที่นิยมนำมาใช้งานในทางปฏิบัติ เนื่องด้วยว่าสามารถทำงานในสภาวะ Set และ Reset (ให้ Q เป็น 1 หรือ Q เป็น 0) ได้เหมือนกับ SR Flip-Flop อีกทั้งยังมีสถานะ Holding Data และมีขา Clock เพื่อใช้ในการ Synchronous และที่สำคัญคือ JK Flip-Flop สามารถหลีกเลี่ยงสถานะของ Prohibited (Not Allowed) ที่เกิดขึ้นใน SR Flip-Flop ได้ รวมทั้งยังมีสถานะที่ตัวเองสามารถเป็น T Flip-Flop ได้โดยไม่ต้องทำการดัดแปลงวงจรใด ๆ

ในการทดลองนี้เราจะมาศึกษาถึงสภาวะพื้นฐานของ JK Flip-Flop โดย JK Flip-Flop ประกอบด้วยขา Input จำนวน 3 ขา คือ ขา J, K และ CLK ส่วนขา Output มีด้วยกัน 2 ขา คือ Q และ $\bar{Q}$ ให้นักศึกษาสังเกตถึงความสัมพันธ์ระหว่าง Input และ Output ที่ได้

- ให้นักศึกษาทำการต่อวงจรดังรูปที่ 8.2

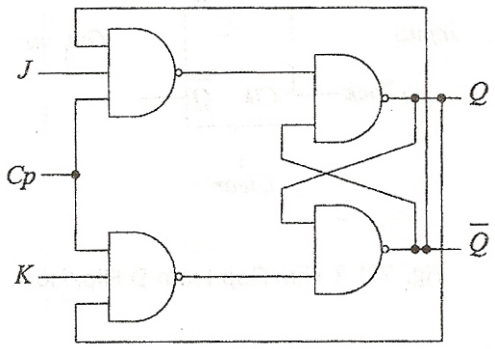

Figure 8.2 JK Flip-Flop

- ทำการป้อน Input ตามตารางที่ 8.2 แล้วสังเกตผลของ Output จากนั้นนำผลที่ได้บันทึกลงในตารางที่ 8.2

Input		Clock	Output	
J	K	C_p	Q	$\bar{Q}$
0	0	↑		
0	1	↑		
1	0	↑		
1	1	↑		
d	d	0		

Table 8.2

8.3 ทำการดัดแปลง JK Flip-Flop ให้เป็น T Flip-Flop

ในการทดลองตอนที่ 1 เราได้รู้จักถึงคุณสมบัติของ T Flip-Flop เป็นที่เรียบร้อยแล้ว สำหรับในการทดลองนี้เราจะลองนำ JK Flip-Flop มาทำเป็น T Flip-Flop ในความเป็นจริง JK Flip-Flop จะมีค่าของ Input อยู่สถานะหนึ่ง ซึ่งเมื่อเราทำการป้อน Input ค่าดังกล่าวให้กับ JK Flip-Flop ตัวของ JK Flip-Flop จะกลายเป็น T Flip-Flop โดยอัตโนมัติ ค่าดังกล่าวคือ ให้ J = K = 1 โดยให้ Input J และ K มีสถานะเป็น “1” จากลักษณะดังกล่าวจะพบว่าเราสามารถสร้าง T Flip-Flop ได้โดยมิต้องทำการดัดแปลงวงจรแต่อย่างใด

- ให้ทำการต่อวงจรและทำการป้อน Input ตามรูปที่ 8.3

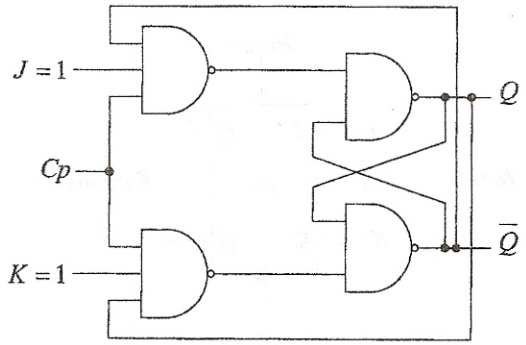

Figure 8.3 T Flip-Flop จาก JK Flip-Flop

- จากนั้นทำการป้อนสัญญาณนาฬิกา แล้วนำผล Output ที่ได้บันทึกในตารางที่ 8.3

ลำดับ	Output	
	Q	$\bar{Q}$
ก่อนมีสัญญาณ Clock		
หลัง Clock ลูกที่ 1		
หลัง Clock ลูกที่ 2		
หลัง Clock ลูกที่ 3		
หลัง Clock ลูกที่ 4		

Table 8.3

8.4 ทดสอบคุณลักษณะของ JK Flip-Flops โดยการใช้ IC สำเร็จรูป IC 7476

ในเมื่อ JK Flip-Flop ถูกนำไปใช้งานอย่างแพร่หลาย ดังนั้นจึงมีการสร้าง IC สำเร็จรูปของ JK Flip-Flop ขึ้นเป็นจำนวนหลายเบอร์ด้วยกัน สำหรับในการทดลองนี้เราเลือกใช้ IC 7476 (Dual JK Flip-Flop) ซึ่ง IC เบอร์ดังกล่าวจะมีสภาวะการทำงานเหมือน JK Flip-Flop ที่ผ่านๆ มาทุกประการ และใน IC ดังกล่าวได้มีการเพิ่มขา PR (Preset) และ CLR (Clear) ขึ้นมา เพื่อทำให้ IC ตัวดังกล่าวสามารถทำงานในรูปแบบ Asynchronous (คือทำงานโดยไม่ต้องพึ่ง Clock) ได้

ซึ่ง IC 7476 สามารถเขียนเป็นสัญลักษณ์ได้ดังรูปที่ 8.4

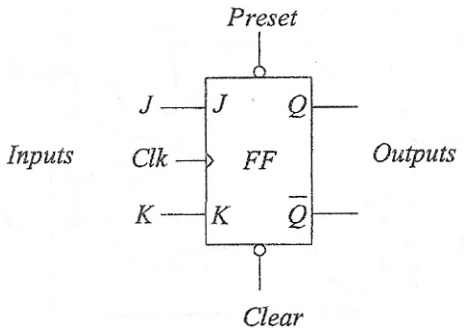

Figure 8.4 IC 7476 (Dual JK Flip-Flop)

- ให้นักศึกษาทำการป้อน Input ตามตารางที่ 8.4 และนำผลที่ได้บันทึกลงในตารางดังกล่าว

Mode of Operation	Inputs					Outputs	
	Async		Synchronous				
	PS	CLR	CLK	J	K	Q	$\bar{Q}$
Asynchronous set	0	1	x	x	x		
Asynchronous reset	1	0	x	x	x		
Prohibited	0	0	x	x	x		
Hold	1	1	p	0	0	No change	
Reset	1	1	p	0	1		
Set	1	1	p	1	0		
Toggle	1	1	p	1	1	Opposite	

Table 8.4

* หมายเหตุ : x = Don’t Care, p = 1 Pulse

8.5 ทดสอบคุณลักษณะของ Master/Slave JK Flip-Flops

ในการทดลองนี้เราจะนำ JK Flip-Flop จำนวน 2 ตัวมาทำงานร่วมกัน โดนจะทำงานในลักษณะแบบ Master/Slave โดยที่ Flip-Flop ทั้งสองจะทำงานด้วย Clock จากแหล่งเดียวกัน แต่จะผลัดกันทำงาน โดย Flip-Flop ตัวที่เป็น Master จะทำงานก่อน ส่วนตัวที่เป็น Slave จะรอจนกว่า Master จะทำงานเป็นที่เรียบร้อย Slave จึงจะทำงาน

จากหลักการทำงานข้างต้นเราสามารถออกแบบวงจรแบบ Master/Slave ได้โดนการควบคุมระดับสัญญาณ Clock ที่จะจ่าย Input ให้กับ Flip-Flop ทั้งสองดังวงจรรูปที่ 8.5

- ให้นักศึกษาทำการต่อวงจรตามรูปที่ 8.5

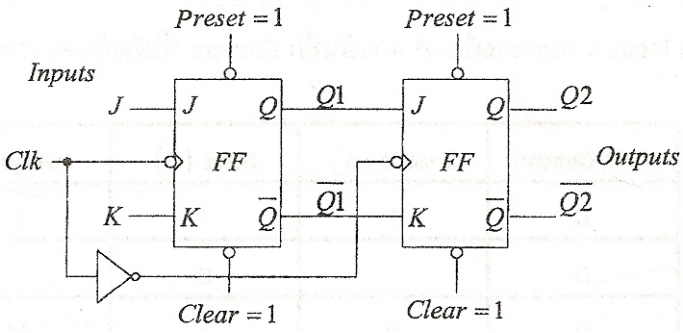

Figure 8.5 Master/Slave JK Flip/Flops

- ทำการป้อน Input ตามตารางที่ 8.5 แล้วนำผลที่ได้บันทึกลงในตารางดังกล่าว

Inputs		Clock	Master Outputs		Slave Outputs	
J	K	Cp	Q_1	$\bar{Q}_1$	Q_2	$\bar{Q}_2$
0	0	P				
0	1	P				
1	0	P				
1	1	P				
x	x	0				

Table 8.5

* หมายเหตุ: p = 1 Pulse, x = Don’t Care